

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06208786 A**

(43) Date of publication of application: 26 . 07 . 94

(51) Int. Cl.

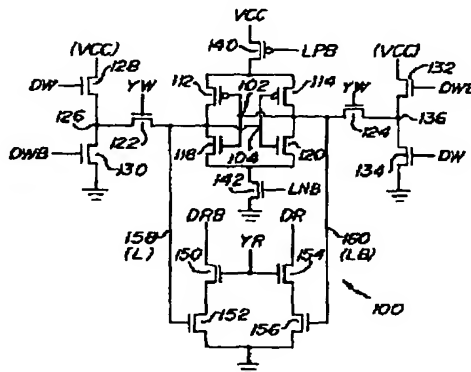
G11C 11/401
G11C 11/419
(21) Application number: **05303495**(22) Date of filing: **09 . 11 . 93**(30) Priority: **12 . 11 . 92 US 92 976312**(71) Applicant: **NITTETSU SEMICONDUCTOR
KK UNITED MEMORIES INC**(72) Inventor: **HARDEE KIM C**
**(54) SENSE AMPLIFIER FOR INTEGRATED CIRCUIT
MEMORY AND INTEGRATED CIRCUIT MEMORY**

COPYRIGHT: (C)1994,JPO

(57) Abstract:

PURPOSE: To stabilize read/write by selectively applying first and second voltage signals through first and second local sense amplifier driving transistors to the latch circuit of a sense amplifier, and reducing the deviation of control due to delay on a voltage feeder and pattern dependency.

CONSTITUTION: A sense amplifier 100 is provided with a latch circuit constituted of Tr 112, 114, 118, and 120. A column writing signal YW is connected with the gate electrodes of buses Tr 122 and 124. A data writing signal DW is inputted to a Tr 134, and a complementary signal DWB is inputted to the gate of a Tr 132. A local column reading amplifier is constituted of Tr 150, 152, 154, and 156. A local data writing circuit is constituted of Tr 128, 130, 132, and 134. Local sense amplifier driving Tr 140 and 142 are turned on by an LPB signal in transition to an L level or an LNB signal in transition to an H level. Those Tr 140 and 142 can exactly control latch by the two signals LPB and LNB at each point separating the sense amplifier.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-208786

(43)公開日 平成6年(1994)7月26日

(51) Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 1 1 C 11/401

11/419

6866-5 L

6866-5 L

G 1 1 C 11/ 34

3 6 2 A

311

審査請求 未請求 請求項の数 4 F D (全 15 頁)

(21)出題番号

特願平5-303495

(22)出願日

平成5年(1993)11月9日

(31)優先権主張番号 07/976,312

(32)優先日 1992年11月12日

(33)優先権主張国 米国 (U S)

(71)出願人 000128049

日鉄セミコンダクター株式会社

千葉県館山市山本1580番地

(71)出願人 592207131

ユナイテッド メモリーズ インコーポレ
イテッド

UNITED MEMORIES IN
C.

アメリカ合衆国 コロラド 80918 コロ
ラド スプリングス オースチン ブルブ
ス パークウェイ 1873

(74)代理人 弁理士 藤島 洋一郎

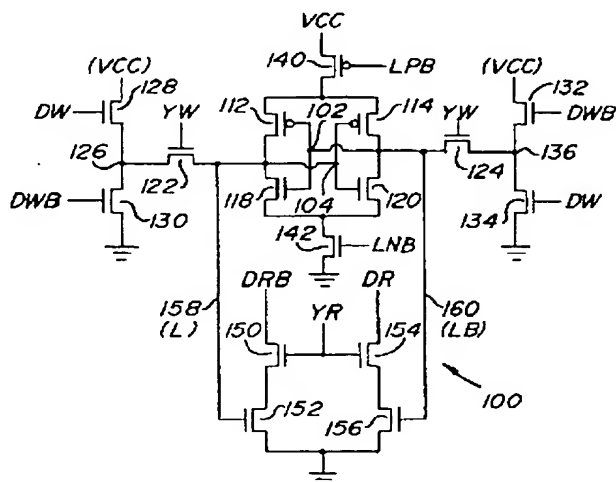
[最終頁に続く](#)

(54)【発明の名称】 集積回路メモリ用センスアンプおよび集積回路メモリ

(57) 【要約】

【目的】 電圧供給線における遅延による制御のずれとそのパターン依存性を低減すると共に、データの読み出し、書き込み動作の安定性を向上する。

【構成】 集積回路メモリ用センスアンプ100は、対応するビット線対に接続されたノード102、104とPチャネル型トランジスタ112、114とNチャネル型トランジスタ118、120とを有するラッチ回路と、トランジスタ112、114およびトランジスタ118、120をそれぞれ第1および第2の電圧源に選択的に接続する第1および第2のローカルセンスアンプ駆動トランジスタ140、142とを備えている。ノード102、104には、列読み出しアンプ(150~156)が接続されると共に、バストランジスタ122、124を介して一対のローカルデータ書き込み駆動回路(128~134)が接続されている。



【特許請求の範囲】

【請求項1】 それぞれビット線が接続される複数のノードを持つと共に、一対のPチャネル型トランジスタと一対のNチャネル型トランジスタを有するラッチ回路と、

このラッチ回路の一対のPチャネル型トランジスタのソース・ドレイン径路に接続され、一対のPチャネル型トランジスタに第1の電圧信号を選択的に与えるための第1のローカルセンスアンプ駆動トランジスタと、

前記ラッチ回路の一対のNチャネル型トランジスタのソース・ドレイン径路に接続され、一対のNチャネル型トランジスタに第2の電圧信号を選択的に与えるための第2のローカルセンスアンプ駆動トランジスタとを具備することを特徴とする集積回路メモリ用センスアンプ。

【請求項2】 それぞれビット線が接続される複数の内部ノードを有するラッチ回路と、

このラッチ回路の複数の内部ノードに接続され、読み出し制御信号に応じて各内部ノードの状態に応じたデータを出力する列読み出しアンプとを具備することを特徴とする集積回路メモリ用センスアンプ。

【請求項3】 それぞれビット線が接続される複数の内部ノードを有するラッチ回路と、

データ書き込み動作のための制御信号に応じて前記ラッチ回路に対してデータの書き込みを行う一対のローカルデータ書き込み駆動回路と、

それぞれ内部ノードの1つとローカルデータ書き込み駆動回路の1つの間に設けられ、別の制御信号に応じて内部ノードの1つとローカルデータ書き込み駆動回路を接続する一対のバストランジスタとを具備することを特徴とする集積回路メモリ用センスアンプ。

【請求項4】 複数のビット線対と複数のセンスアンプとを備えた集積回路メモリであって、各センスアンプは、

対応するビット線対に接続された内部ノード対を有すると共に一対のPチャネル型トランジスタと一対のNチャネル型トランジスタを有するラッチ回路と、

このラッチ回路の一対のPチャネル型トランジスタに接続されたソース・ドレイン径路を有し、選択的に第1の電圧源に接続される第1のローカルセンスアンプ駆動トランジスタと、

前記ラッチ回路の一対のNチャネル型トランジスタに接続されたソース・ドレイン径路を有し、選択的に第2の電圧源に接続される第2のローカルセンスアンプ駆動トランジスタと、

複数の第1のローカルセンスアンプ駆動トランジスタの動作を制御するための第1の制御信号線と、

複数の第2のローカルセンスアンプ駆動トランジスタの動作を制御するための第2の制御信号線と、

複数の第1のローカルセンスアンプ駆動トランジスタに第1の電圧源を接続するための第1の電圧供給線と、

複数の第2のローカルセンスアンプ駆動トランジスタに第2の電圧源を接続するための第2の電圧供給線と、前記ラッチ回路の複数の内部ノードに接続され、各内部ノードの状態に応じたデータを出力する列読み出しアンプと、

それぞれ前記ラッチ回路の内部ノードの1つに接続され、データの書き込みを行う一対のローカルデータ書き込み駆動回路とを具備することを特徴とする集積回路メモリ。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路メモリおよびこれに用いられるセンスアンプに関する。

【0002】

【従来の技術】 集積回路メモリは、アレイ状に並んだ多数のメモリセルからなっている。メモリセルには揮発性と不揮発性のものがある。揮発性のものであれば、スタティックRAMであることもあるし、ダイナミックRAMであることもある。これらは、1つのアレイとして構成されることもあれば、ブロックに配された幾つかのサブアレイから構成されることもある。典型的には、メモリ装置は、一方向に伸びた多数のビット線を備えている。ビット線は対になっていることもある。対になっている場合は、しばしば相補型または対称型ビット線と呼ばれる。相補型ビット線は、スタティックRAMとダイナミックRAMの双方に用いられる。ビット線は、第1の方向に伸びているが、ワード線はこれと直角な第2の方向に伸びている。典型的には、メモリセルはビット線とワード線との交差点あるいはその近傍に位置している。

30

【0003】 メモリアレイはしばしばサブアレイからなっており、各々のサブアレイは更にブロックに分かれる。各々のサブアレイには、各々デコーダのような周辺回路が設けられている。

40

【0004】 メモリアレイやサブアレイは、通常行列を構成している。ワード線に添って配された（接続された）メモリセルは一般に行に対応する。列はこれと直交しており、普通ビット線またはビット線対に添って配された（接続された）メモリセルに対応している。一般

40

に、各々の列は、各々のセンスアンプに接続されている。センスアンプの一つの役割は、メモリセルがビット線上に及ぼす影響を検出し、これを読み出しのために増幅することである。これとは逆に、センスアンプはメモリがデータをメモリセルに書き込む際にはビット線を駆動または制御する。

【0005】 CMOS技術は、今日広く普及している。図7は、従来技術の構成と、CMOS技術を用いたセンスアンプを示している。このようなセンスアンプの構成と動作は、よく知られているのでここでは詳細な説明は省く。アンプ10は、Pチャネル型トランジスタ12、

50

14を備えており、これらのトランジスタ12、14は、適宜LATCHPとも呼ばれるLP信号を搬送する信号線16に共通に接続したソース電極を備えている。センスアンプは、Nチャネル型トランジスタ18、20を備えており、これらのトランジスタ18、20は、しばしばLATCHNとも呼ばれるLN信号を搬送する信号線22に共通に接続したソース電極を備えている。内部ノードA、Bは、ゲート電極に接続されている。特に、ノードAはトランジスタ12、18のゲート電極に接続されており、ノードBはトランジスタ14、20のゲート電極に接続されている。これらのトランジスタで、ラッチが構成される。センスアンプの左側の第1のビット線BL1は、Pチャネル型トランジスタ12のドレイン電極とNチャネル型トランジスタ18のドレイン電極間に接続されたノードBに接続されている。同様に、相補型ビット線のBL1BAR(BARは上線を示す)は、Pチャネル型トランジスタ14とNチャネル型トランジスタ20のドレイン電極間に接続されたノードAに接続されている。トランジスタ12、14はプルアップトランジスタと呼び、トランジスタ18、20はプルダウントランジスタと呼ばれる。

【0006】トランジスタ24がオンすると、そのソースドレインを介してVCCを信号線16に接続して、LATCHP信号の供給を行う。センスアンプ10はフリップフロップを構成し、トランジスタ12、14のいずれか一方のみをオンし、その対応するノードの電圧をVCCへ引き上げる。同時またはほぼ同時に、トランジスタ18、20の一方は他方のノードを、オンしているトランジスタ26を介して、信号線22へ接続しVSSへ引き下げる。このようにして、2つのノードの一方は

ハイレベルへ引き上げられ、他方はロウレベルへ引き下げられ、センスアンプはその安定な状態を保持する。

【0007】16メガビットDRAMといった大規模メモリの場合、数千の行と数千の列からなっている。これは図7で、代表的に示されている。すなわち、第2番目のセンスアンプ30は対応するビット線対BL2、BL2BARに接続され、N番目のセンスアンプ30は対応するビット線対BLN、BLNBARに接続されている。ここで、Nは例えば1000のオーダーまたはそれ以上である。LATCHP信号は、信号線16を介して、N個のセンスアンプの全てに供給され、LATCHN信号は信号線22を介して、それらに供給される。図7では、複数の抵抗34が描かれている。これらは、個々の抵抗素子を表わしているのではなく、信号線16、22に存在する寄生抵抗を示している。これらの寄生抵抗は、導電性材料を用いたとしても、長くなれば一定の抵抗値を持つ。各々の抵抗には、トランジスタ24、26を介して電圧が加わった時、電圧降下(上昇)が起る。従って、結果的にセンスアンプに達する電圧は、明らかにVCC(またはVSS)から降下(または上昇)

し、センスアンプの動作は遅くなり、またはあまり効果的ではなくなる。この問題から、センスアンプ10はセンスアンプ32と同時に駆動されず、アクセス時間の増加をもたらすスキューが生じる。更に、いくつかの従来の構造では、選択されたセンスアンプがあまりに早くデータ線(ビット線)に接続された場合に、動作が不安定になることもあった。

【0008】電圧供給線(VSS)22の0Vへの引き下げ動作に伴い、センスアンプのトランジスタがオンする。信号線22では、電流が右へ流れ、この信号線上の抵抗による電圧降下が生じる。信号線22の幅を大きく広げることによって抵抗を小さくしようとした場合には、チップ面積をどのように割り当てるかという実際上の問題が生じる。従って、図示した構成では、最も右側のセンスアンプが最初にオンし、その後でセンスアンプ32がオンする。

【0009】一般的に、信号線22によって信号の引き下げの調整が望まれる。信号線22の、トランジスタ26から最も離れた部分は、最も近い部分よりも遅くオンする。これで、メモリ動作は遅くなる。これはもちろん好ましくないが、もし最も近い部分であまりに早く駆動し過ぎる場合には、対応するセンスアンプの動作の信頼性が損なわれる。

【0010】もう1つの問題は、近い方のセンスアンプが論理レベル“1”をラッチし、遠い方のセンスアンプが論理レベル“0”をラッチした場合に起る。ここには、制御のずれのパターン依存性が存在する。なぜなら、ビット線がVCC/2までプリチャージされたとき、メモリセルが一方のビット線のみを高い方向または低い方向へ動かすからである。信号線LNは論理レベル1に対応する電圧レベルよりも1V_t(V_tはトランジスタのしきい値)だけ低下すればよく、論理レベル1の検出は、論理レベル0の検出よりも前に起る。しかし、論理レベル0を検出するには、VCC/2よりも1V_t下げねばならず、これは後で達成される。論理レベル1が読み出される時には、大電流が流れる。このため、信号線22の遠い部分では、電圧の低下が遅くなり好ましくない制御のずれが生じる。これにより検出時間に、7ナノ秒が加わる。これは相当な増加であり、好ましくない。

【0011】この問題に対処するための1つの提案が、図8に示されている。ここには、同じセンスアンプ10、30、32が示されており、同じLATCHP信号とLATCHN信号がトランジスタ24、26によって、各々生成されている。しかし、Nチャネル型トランジスタ44、46がセンスアンプの下側に設けられており、LATCHN信号は、2つの別々の信号線40、42を介して供給されるように変形されている。一方の信号線40は比較的幅が広く設けられており、多くの電流を供給することができ、他方の信号線40は、ただ1つ

の決められたセンスアンプにのみ電流を供給するため、比較的狭い幅を持っている。信号線40は、センスアンプの各々に設けられた複数のトランジスタ44のソースに接続している。各々のトランジスタ44は、ゲート電極がVCCに接続され、通常オンになっている。トランジスタ44のサイズは、比較的小さく、単一のセンスアンプを介して大きな電流が流れないようにしている。

【0012】細い方の信号線42（またはレール）は、これもNチャネル型トランジスタとして示されているそれぞれのトランジスタ46のソースおよびドレインを介して、センスアンプに接続されている。トランジスタ46ではデコードが行われ、ロウレベルからハイレベルへ遷移するYR信号47が与えられる。このYR信号は、図8の左端のセンスアンプ32のためのトランジスタ46のゲート電極に隣接して描かれている。他のトランジスタ46も、0Vとして描かれた各々のYR信号に接続されている。すなわち、これらのトランジスタは、選択されていない。従って、選択されている列は、そのゲート電極に加えられたYR信号をデコードし、狭いLATCHN信号線とセンスアンプを接続する。オカムラ等による「高密度DRAMのためのデコードされるソースを有するセンスアンプ」、IEEE J.ソリッドステートサーキット、第25巻、第1号（1990年2月発行）、第18～23ページ（Okamura et al., "Decoded-Source Sense Amplifier for High-Density DRAMs", IEEE J. Solid State Circuits, Vol.25, No.1 (Feb 1990), pp.18-23)を参照されたい。ここでは、電流経路の弱い（小さい）トランジスタ44のため、信号線40を流れる電流が減少するので、検出スキューは確かに減少する。従って、信号線40による電圧降下は緩和される。この方法の欠点は、大きなトランジスタ46を追加で設けなければならないことと、トランジスタ46のゲートを駆動しなければならないので、列選択信号YR上での容量性負荷が増加することである。ここでは、センスアンプあたり1つの余分なトランジスタを駆動しなければならず、YR信号線上への追加分の負荷や電流の流れに対する制御が不十分であった。

【0013】チン等による「ピーク電流ノイズを低減させた試験的な16メガビットDRAM」、第24巻、第5号（1989年10月発行）（Chin et al., "An experimental 16-Mbit DRAM with Reduced Peak-Current Noise", IEEE J. Solid State Circuits, vol.24, No.5 (Oct. 1989)）、1191ページ以降およびその図4に示されている例では、電圧供給線とセンスアンプとの間に、Pチャネル型トランジスタとNチャネル型トランジスタの両方が設けられている。しかし、ここではセンスアンプあたり1つのVCCへの接続点と1つのVSSへの接続点を用いてはいない。ここでは、一端からのみこれらの電圧供給線を用いているのではなく、アレイに分配されたいくつかの接続点を用いている。信号SAPおよび

信号SANは、信号LPおよび信号LNに各々対応している。従って、この論文に記載されている構成では、いくつかの互いに接続されたセンスアンプがあり、パターン依存性は未だ存在している。

【0014】図9には、これまでの世代および現在の世代（16メガバイト）での、大容量集積回路メモリに用いられているトランジスタの組み合わせが示されている。すなわち、VCC信号およびVSS信号であるLATCHP信号とLATCHN信号との間にセンスアンプ10が設けられている。データ信号線から入るデータ信号は、信号Dおよびその反転信号DBAR（BARは上線を示す）で表わされている。しかし、更にバストラジスタ48、50のソースドレイン経路が、データ信号Dをセンスアンプ10へ接続し、同様の構成が、反転信号側にも設けられている。トランジスタ48は、そのゲート電極に加えられたグローバル列選択信号Yへ接続されている。多くの16メガバイトDRAMはこのようなグローバル列選択信号を持っている。これに加えて、ここで述べている大規模メモリは1つ以上のブロックを含み、トランジスタ50には、このトランジスタ50の動作を制御するためのブロックイネイブル信号BEが示されている。ここで、相補データ信号は、読み出しの間VCC近くまで高くなければならない。そして、安定性を確保するために、バストラジスタはLATCHトランジスタに比較して小さくなっている。

【0015】図10には図9の方針に沿って設計された回路に関する問題点が生じている。図10では、3つの同じセンスアンプが示されているが、理解を容易にするためにこれらは各々10A、10B、10Cで区別されている。列選択信号Yはグローバル列選択信号であり、従って電圧VCCを持つものとして示されている。ブロックイネイブル信号は別々に設けられ、センスアンプ10Aのためのバストラジスタ50は、各々のゲート電極が、第1のブロック選択信号を搬送するブロック選択信号線52Aに接続されている。同様に、センスアンプ10Bのバストラジスタ50は、各々のゲート電極が、第2のブロック選択信号を搬送するブロック選択信号線52Bに接続されている。そして、ブロック選択信号線52Cも、同様にセンスアンプ10Cに対応している。

【0016】ここでは説明のため、センスアンプ10Aは、非活動状態ブロックとして示されている。ここで、“非活動状態”とは、LATCHN信号線16とLATCHP信号線22がVCC/2であり、ラッチが働かない状態をいう。対応するブロックは使用可能状態にはないので、信号線52Aに与えられるブロックイネイブル信号はロウレベル（0V）である。従って、バストラジスタ50Aはオフであり、トランジスタ48Aがオンであるか否かにかかわらず、センスアンプ10Aはデータから隔離されている。しかし、ラッチしないようにL

ATCHP信号線16とLATCHN信号線22は、共にVCC/2に保たれ、データ書き込み信号DWとその反転信号DWBはVCCに保たれる。

【0017】センスアンプ10Bは、LATCHN信号線22が0VでATCHP信号線16がVCCであるので、活動状態である。しかし、ブロック選択信号が0なので、グローバル列選択信号YwがVCCであっても、書き込みは行われない。

【0018】センスアンプ10Cは活動状態であり、書き込みがアンプ10Cを介して行われる。信号線52Cでのブロック選択信号は、高くVCCである。列選択信号も高い。データ書き込み信号DWがハイレベル(VCC)であり、その反転信号DWBがロウレベル(0V)であり(もちろんこの関係は、別のデータが書かれていれば逆転する)、センスアンプ10Cの少なくとも一方の側でパストランジスタ48C、50Cはオンする。そして、センスアンプはデータのラッチを行い、データをメモリセル或は(通常活動状態のワード線上の)列に沿ったセルに書き込む。

【0019】

【発明が解決しようとする課題】上述の従来技術では、電圧を供給する信号線22の遠い部分では、電圧の低下が遅くなり好ましくない制御のずれが生じてしまう。これにより検出時間が7ナノ秒程度の余裕をみなけなければならない。そして、この制御のずれには、パターン依存性が存在する。

【0020】また、従来技術では、ラッチノードが直接、データ線に接続されることから、データ破壊のおそれがあり、安定性に問題がある。

【0021】そこで、本発明の第1の目的は、電圧供給線における遅延による制御のずれとそのパターン依存性を低減できるようにした集積回路メモリ用センスアンプおよび集積回路メモリを提供することにある。

【0022】また、本発明の第2の目的は、データの読み出し、書き込み動作の安定性を向上できるようにした集積回路メモリ用センスアンプおよび集積回路メモリを提供することにある。

【0023】

【課題を解決するための手段】請求項1記載の集積回路メモリ用センスアンプは、それぞれビット線が接続される複数のノードを持つと共に、一対のPチャネル型トランジスタと一対のNチャネル型トランジスタを有するラッチ回路と、このラッチ回路の一対のPチャネル型トランジスタのソース・ドレイン径路に接続され、一対のPチャネル型トランジスタに第1の電圧信号を選択的に与えるための第1のローカルセンスアンプ駆動トランジスタと、ラッチ回路の一対のNチャネル型トランジスタのソース・ドレイン径路に接続され、一対のNチャネル型トランジスタに第2の電圧信号を選択的に与えるための第2のローカルセンスアンプ駆動トランジスタとを備え

たものである。

【0024】この集積回路メモリ用センスアンプでは、第1のローカルセンスアンプ駆動トランジスタを介してラッチ回路の一対のPチャネル型トランジスタに第1の電圧信号が選択的に与えられ、第2のローカルセンスアンプ駆動トランジスタを介してラッチ回路の一対のNチャネル型トランジスタに第2の電圧信号が選択的に与えられる。

【0025】好ましくは、各ローカルセンスアンプ駆動トランジスタのゲート電極は、低電流搬送線に接続され、各ローカルセンスアンプ駆動トランジスタのソース・ドレイン径路は各々の電圧信号を搬送する大電流搬送線に接続されている。

【0026】また、好ましくは、第1のローカルセンスアンプ駆動トランジスタはPチャネル型トランジスタからなり、第2のローカルセンスアンプ駆動ローカルトランジスタはNチャネル型トランジスタからなっている。

【0027】更に、好ましくは、センスアンプは、メモリ内の各々のビット線対に対応して設けられた複数の同一のセンスアンプの1つであり、センスアンプの各々はそれ自身のローカルセンスアンプ駆動トランジスタを持ち、複数のローカルセンスアンプ駆動トランジスタはPチャネル型トランジスタ用の制御信号線に応答するように接続され、別の複数のローカルセンスアンプ駆動ローカルトランジスタはNチャネル型トランジスタ用の別の制御信号線に応答するように接続されている。

【0028】請求項2記載の集積回路メモリ用センスアンプは、それぞれビット線が接続される複数の内部ノードを有するラッチ回路と、このラッチ回路の複数の内部ノードに接続され、読み出し制御信号に応じて各内部ノードの状態に応じたデータを出力する列読み出しアンプとを備えたものである。

【0029】この集積回路メモリ用センスアンプでは、読み出し制御信号に応じて列読み出しアンプによって、ラッチ回路の内部ノードの状態に応じたデータが出力される。

【0030】好ましくは、列読み出しアンプは、対応する列からの制御信号を入力とするように接続されている。

【0031】更に、好ましくは、列読み出しアンプは、読み出し制御信号を入力とするように接続された第1のトランジスタと、この読み出し制御信号の反転信号を入力とするように接続された第2のトランジスタとからなり、これらのトランジスタは共に、列読み出し信号を入力とするように接続されている。

【0032】請求項3記載の集積回路メモリ用センスアンプは、それぞれビット線が接続される複数の内部ノードを有するラッチ回路と、データ書き込み動作のための制御信号に応じてラッチ回路に対してデータの書き込みを行う一対のローカルデータ書き込み駆動回路と、それ

それ内部ノードの1つとローカルデータ書き込み駆動回路の1つの間に設けられ、別の制御信号に応じて内部ノードの1つとローカルデータ書き込み駆動回路を接続する一対のバストランジスタとを備えたものである。

【0033】この集積回路メモリ用センスアンプでは、バストランジスタによって内部ノードとローカルデータ書き込み駆動回路とが接続され、データ書き込み動作のための制御信号に応じてローカルデータ書き込み駆動回路によってラッチ回路に対してデータの書き込みが行われる。

【0034】好ましくは、ローカルデータ書き込み駆動回路は、ノードを挟んでソース・ドレイン径路が直列に接続されたプルアップトランジスタとプルダウントランジスタとからなっており、ノードはバストランジスタに接続され、プルアップトランジスタとプルダウントランジスタのソース・ドレイン径路は第1および第2の電圧に接続されている。

【0035】請求項4記載の集積回路メモリは、複数のビット線対と複数のセンスアンプとを備えたものであって、各センスアンプが、対応するビット線対に接続された内部ノード対を有すると共に一対のPチャネル型トランジスタと一対のNチャネル型トランジスタを有するラッチ回路と、このラッチ回路の一対のPチャネル型トランジスタに接続されたソース・ドレイン径路を有し、選択的に第1の電圧源に接続される第1のローカルセンスアンプ駆動トランジスタと、ラッチ回路の一対のNチャネル型トランジスタに接続されたソース・ドレイン径路を有し、選択的に第2の電圧源に接続される第2のローカルセンスアンプ駆動トランジスタと、複数の第1のローカルセンスアンプ駆動トランジスタの動作を制御するための第1の制御信号線と、複数の第2のローカルセンスアンプ駆動トランジスタの動作を制御するための第2の制御信号線と、複数の第1のローカルセンスアンプ駆動トランジスタに第1の電圧源を接続するための第1の電圧供給線と、複数の第2のローカルセンスアンプ駆動トランジスタに第2の電圧源を接続するための第2の電圧供給線と、ラッチ回路の複数の内部ノードに接続され、各内部ノードの状態に応じたデータを出力する列読み出しアンプと、それぞれラッチ回路の内部ノードの1つに接続され、データの書き込みを行う一対のローカルデータ書き込み駆動回路とを備えたものである。

【0036】この集積回路メモリでは、第1のローカルセンスアンプ駆動トランジスタを介して第1の電圧源とラッチ回路のPチャネル型トランジスタとが選択的に接続され、第2のローカルセンスアンプ駆動トランジスタを介して第2の電圧源とラッチ回路のNチャネル型トランジスタとが選択的に接続され、列読み出しアンプによってラッチ回路の内部ノードの状態に応じたデータが出力され、ローカルデータ書き込み駆動回路によってデータの書き込みが行われる。

【0037】好ましくは、列読み出しアンプは、読み出し制御信号に接続されこれに应答し、ローカルデータ書き込み駆動トランジスタは、データ書き込み制御信号に接続されこれに应答する。

【0038】更に、好ましくは、センスアンプの各々には、対応する内部ノードを各々のローカルデータ書き込み駆動回路へ選択的に接続するバストランジスタが設けられ、このバストランジスタは、別の書き込み制御信号によって制御される。

10 【0039】また、本発明による複数のビット線対とこれらに接続されると共にこれと連携する対応センスアンプとを備えた集積回路メモリでは、次のようにしてセンスアンプを駆動する。すなわち、第1および第2の電圧線に対して、各々のセンスアンプの接続および分離を別々に且つ選択的に行うことによって、第1および第2の電圧を各々のセンスアンプの第1および第2のトランジスタに選択的に接続し、各々のセンスアンプ内に読み出しアンプを設け、読み出し制御信号によって読み出しアンプの動作を制御し、各々のセンスアンプ内にローカルデータ書き込み回路を設け、書き込み制御信号を利用して書き込み動作を行うために、ローカルデータ書き込み駆動回路を駆動させる。

20 【0040】

【実施例】以下、図面を参照して本発明の一実施例について詳細に説明する。

【0041】まず、本実施例の概要について説明する。本実施例では、ローカル書き込み駆動トランジスタが設けられ、従来技術での遅延やパターン依存性を除いたCMOSセンスアンプを提供する。また、各々のセンスアンプは、それ自身の駆動トランジスタを持っている。そして、各々のセンスアンプは、列読み出しアンプを持ち、安定性の問題を解決している。なぜなら、これによりラッチノードは、データ線に決して接続されないからである。更に、ローカルデータ書き込み駆動トランジスタは、グローバル列選択に付随する問題も解決している。本実施例では、列読み込み信号YRと列書き込み信号YWを用いている。

30 【0042】また、従来技術では各々LATCHN信号を搬送する幅の狭いおよび広い信号線（またはレール）を用いているのに対して、本実施例では、LATCHN信号に関して異なる接続が行われた幅の狭いおよび広い信号線を用いている。それと共に、本実施例では、LATCHP信号を供給するための幅の狭いおよび広い信号線（またはレール）を用いている。従って、本実施例では、各々のセンスアンプが、各々幅の広い信号線を介して各々のソース・ドレイン径路がVSSまたはLATCHN信号へ接続したNチャネル型トランジスタを備えている。これらNチャネル型駆動トランジスタのゲート電極は、LATCHN信号の相補信号LNBを搬送する細い幅の駆動信号線によって制御されている。

【0043】また、本実施例では、各々のセンスアンプは各々のPチャネル型駆動トランジスタを持っており、そのソース・ドレイン径路がセンスアンプのPチャネル型トランジスタをVCCまたはLATC HP信号といったハイレベルの電圧へ接続する。ハイレベルの電圧は幅の広い駆動信号線の1つによって供給される。LATC HP信号に付随する幅の狭い駆動信号線は、Pチャネル型駆動トランジスタのゲート電極に接続されており、LATC HP信号の相補信号LPBを搬送する。

【0044】好ましくは、センスアンプは列の両サイドで共有される。

【0045】本発明では次の3つの態様がある。

(1) 各々のセンスアンプは、複数のセンスアンプのための電圧供給線に直接接続することなく、トランジスタまたは他のスイッチング装置を介して電圧供給線に接続している。

(2) ローカル読み出しアンプが用いられている。

(3) ローカル書き込み回路が用いられている。

【0046】これらは特に顕著な点として掲げてあり、本発明には更に別の態様がある。本発明を実施するには、これら3つの点を全て用いる必要はないが、これらの特長を利用することが最も有効である。

【0047】図1は、本発明の様々な態様による、好適なセンスアンプ100を示している。センスアンプ100は、トランジスタ112、114、118、120から構成されるラッチを備えており、内部ノード102、104を有している。ノード102はPチャネル型トランジスタ112とNチャネル型トランジスタ118のゲート電極に接続されており、ノード104はPチャネル型トランジスタ114とNチャネル型トランジスタ120のゲート電極に接続されている。センスアンプ内部のフリップフロップの構成は、前述のセンスアンプ100の構成と同じである。

【0048】列書き込み信号YWはバストランジスタ122、124のゲート電極に接続されている。好ましくは、以下に記載する列書き込み信号YWと列読み出し信号YRは、4列毎にデコードされ、4つの列各々には1つの列書き込み信号YWと1つの列読み出し信号YRが与えられる。しかし、これは本発明を実施するための必要条件ではない。1つの構成では、各々のサブアレイがかなり大きな規模（ここでは4メガバイト）を持ち、各々のサブアレイ全体のための列選択信号を発生させる列デコーダを各々備えている。また、サブアレイ内のたった1つのブロックへの書き込みができることが望まれる。センスアンプが活動状態であるものを活動状態ブロックと呼ぶ。非活動ブロックは、センスアンプがプリチャージの状態のものである。

【0049】バストランジスタ122のソース・ドレイン径路はノード104に接続しており、バストランジスタ124のソース・ドレイン径路はノード102に接続

している。

【0050】トランジスタ122はまた、ローカルデータ書き込み駆動トランジスタ128のソースと別のローカルデータ書き込み駆動トランジスタ130のドレイン電極との間に位置するノード126に接続している。トランジスタ128、130は、それらのソースおよびドレインが直列に接続されたNチャネル型素子である。トランジスタ128のドレインはVCCに接続され、トランジスタ130のソースは接地されている。データ書き込み信号DWはトランジスタ128のゲートに入力され、その相補信号DWBはトランジスタ130のゲートに入力される。センスアンプ100の右側にも同様の構成がみられ、トランジスタ132、134がVCCと接地レベルとの間に接続され、それら間のノード136がトランジスタ124へ接続している。データ書き込み信号DWは制御トランジスタ134に入力され、その相補信号DWBはトランジスタ132のゲートに入力される。すなわち、データ書き込み信号DWは、センスアンプ100の左側でプルアップトランジスタ128をオンするが、センスアンプ100の右側でプルダウントランジスタ134をもオンする。同様に、その相補信号DWBは、センスアンプの左右で逆の作用をする。

【0051】センスアンプ100のPチャネル型トランジスタ112、114のソース電極は、別のPチャネル型トランジスタ140に接続され、トランジスタ140のソース電極はVCC（LATC HP信号）へ接続している。このPチャネル型素子140のゲート電極には、LATC HP信号の相補信号であるLPB信号が入力される。トランジスタ140は、ローカルセンスアンプ駆動トランジスタである。同じ様に、センスアンプ100のNチャネル型トランジスタ118、120のソース電極は、別のローカルセンスアンプ駆動トランジスタ142のソース・ドレイン径路を介して接地レベルへ接続している。このトランジスタ142のゲート電極には、LATC HN信号の相補信号であるLNB信号が入力される。

【0052】図1の下部分は、ローカル列読み出しアンプであり、4つのNチャネル型トランジスタ150、152、154、156からなっている。トランジスタ150、152のソース・ドレイン径路は、直列に接続している。トランジスタ150のドレイン電極は、データ読み出し信号DRの反転信号DRBを入力とする。トランジスタ152のソース電極は接地されている。ノード104は、導電線158を介して、トランジスタ152のゲート電極に接続している。トランジスタ150のゲート電極には、列読み出し信号YRが入力される。トランジスタ154、156のソース・ドレイン径路は、接地レベルとデータ読み出し信号DRとの間に直列に接続している。トランジスタ154のゲート電極は、トランジスタ150のゲート電極に接続され、従って列読み

13

出し信号Y Rが入力される。トランジスタ156のゲート電極は、導電線160を介して内部ノード102に接続している。

【0053】図1の回路は、トランジスタ150～156からなるデータ読み出し回路を備えている。トランジスタ128、130、132、134は、ローカルデータ書き込みトランジスタである。トランジスタ140、142はローカルセンスアンプ駆動トランジスタである。言うまでもなく、大規模集積回路メモリには、このような回路100が数千設けられている。ローカルセンスアンプ駆動トランジスタに接続された信号LPB、LNB、ローカルデータ書き込み駆動トランジスタに接続されたデータ書き込み信号DWおよびその相補信号DWBおよびデータ読み出し信号DR、DRBは、メモリ装置の多くのセンスアンプで共有されまたこれらに印加される。列読み出し信号Y Rおよび列書き込み信号Y Wは、データ線と、信号線LNB、LPBと直角な方向に配されたいつつかのセンスアンプによって共有されている。読み出しおよび書き込みデータバスは別々に設けられている。データを検出(ラッチ)するために、ビット線信号は、後に図面で示す回路によってラッチノードL、LBへ接続しているか、(いくつかの実施例では)直接これらのラッチノードに接続している。そして、ローカルセンスアンプ駆動トランジスタ140、142は、ロウレベルへ遷移するLPB信号またはハイレベルへ遷移するLNB信号によってオンする。これらのトランジスタ140、142は、それぞれのセンスアンプを分離している点で従来のセンスアンプに対する優位性をもたらす、2つの信号LPB、LNBによって、ラッチを更に正確に制御できる。トランジスタ140、142のドレインが各々のセンスアンプ毎に別れているので、これらセンスアンプは互いに分離している。

【0054】トランジスタ150、152、154、156は、データ非破壊読み出し動作の可能な読み出しアンプを構成している。列読み出し信号Y Rは、ラッチの前でも、センスアンプの状態を変えることなく、いつでもハイレベルへ遷移可能である。更に、データ読み出し信号DR、DRBは、センスアンプの状態を変えることなく、どの電圧もとることができる。更に別の利点は、センスアンプトランジスタ112、114、118、120とは独立に、トランジスタ150～156の大きさを決めることができる点である。列書き込み信号Y W(デコード信号)がハイレベルで、データ書き込み信号DW、DWBのいずれかがロウレベルの時、書き込みが行われる。もし、これらデータ書き込み信号のいずれもがロウレベルの場合には、書き込みは行われない。この回路は、図10に暗に示され図9に記載された類のブロックイネイブル信号を必要としない。ローカルデータ書き込み駆動トランジスタ128～134は、別々の列書き込み信号を持っている限り、別の列回路と共有でき

14

る。図1の変形例では、トランジスタ128のゲート電極をそのドレインへ接続し、トランジスタ132でも同様とする。これは、必要な金属線の本数を少なくし、面積を小さくし、レイアウトを改善する。これにより、ほぼ同一の書き込み速度が得られる。トランジスタ128、132のドレイン電極でのVCC接続は省略されるが、データ書き込み信号DW、DWBに対する負荷が若干増加する。

【0055】図2は、図7や図8に対応する。簡単のため、センスアンプ100(および関係する回路)は、ブロックとして記載されている。図2では、参照記号100の付された各々のブロックは、各々のセンスアンプ100毎にトランジスタ140、142が示されていることを除いて、図1に示された素子の全てを含む。ビット線の接続は示されていないが、各々のセンスアンプ100は、直接にまたは選択的にノード102、104を介して、各々のビット線対に接続している。図2において、電圧はトランジスタ140を介して、各センスアンプのPチャネル型トランジスタ112、114に供給される。好ましくは、各々のトランジスタ140は、Pチャネル型であり、そのゲート電極は、LPB信号(BはBAR、すなわち反転であることを示している)に接続している。比較的狭い信号線は、LPB信号を図2に示されたセンスアンプ100のグループ全体のゲート電極に接続している。LPB信号は、トランジスタ180から生成され、トランジスタ180のソース・ドレイン経路は接地されている。トランジスタ180はNチャネル型トランジスタであり、正の電圧がゲートに与えられた時、LPB信号は接地レベルまで引き下げられ、このトランジスタ180に接続されたトランジスタの全てがオンする。これによりノード182に印加されたVCC電圧(またはLATC HP信号)が、比較的幅の広い信号線184を介してトランジスタ140のソース電極へ供給される。

【0056】同様の構成は、図2の下方部分のNチャネル型トランジスタについてもみられる。図1に関して説明したように、センスアンプ100のNチャネル型トランジスタ118、120は、Nチャネル型トランジスタ142を介して接地レベルへ接続されている。トランジスタ142のゲート電極は、比較的狭い信号線186を介して、LNB信号(ここでもBはBAR、すなわち反転であることを示している)に接続している。LNB信号は、好ましくは、ソース・ドレイン経路がVCCと信号線186との間に接続されたPチャネル型トランジスタ188によって生成される。トランジスタ188およびトランジスタ180のゲート電極は、適当な制御信号に接続している。トランジスタ188が導通しているとき、すなわちそのゲートにロウレベルの電圧が加わっている時、LNB信号はVCCレベルまで引き上げられ、トランジスタ142をオンする。これにより各々のセン

スアンプ100を、VSS電圧（またはLATCHN信号）とトランジスタ142のソース電極を接続する比較的幅の広い信号線190へ接続する。

【0057】図2で、狭い信号線181が搬送する電流は大変小さい。各々のセンスアンプ100は、他のセンスアンプから分離されている。各々のセンスアンプが、各々の電力供給のための信号線184、190を持っている。これは、分配された接続を持つ構成（例えば前述のチン（Chin）の提案）、すなわち複数のセンスアンプが一括して電圧供給線に接続した構成で生じたパターン依存性を取り除くかまたは緩和する。

【0058】図3には、図10との比較で、大規模メモリで用いられた場合の、センスアンプの例が示されている。図1の全ての素子が図3に示されているわけではなく、センスアンプ100Aのいくつかの素子にのみ、参照符号が与えられている。従って、ローカルデータ書き込み駆動トランジスタ128、130、132、134は、列書き込み選択トランジスタ122、124と共に、符号が与えられている。ローカルセンスアンプ駆動トランジスタ140、142は示されていないが、トランジスタ140、142のドレイン電極または広い信号線184、190のいずれかの電圧レベルを取るLATCHP信号およびLATCHN信号に対する接続は示されている。トランジスタ150～156で構成される列読み出しアンプは特に示していないが、もちろん存在する。列書き込み信号が生成されているとして、信号線200上の列選択信号は、ハイレベル（VCC）として示されている。図3では、センスアンプ100Aは非活動状態のブロックの一部としており、センスアンプ100Bは活動状態でも書き込みはなく、センスアンプ100Cは書き込みが行われる活動状態のブロックの一部として

【0059】非活動状態のブロックの一部であるセンスアンプ100Aは、そのバストラジスタ122、124のゲート電極でVCC信号を受けている。しかし、DW、DWBはともに0Vなので、ローカルデータ書き込み駆動トランジスタ128～134は全て、ゲート電極に0Vの電圧が印加されている。トランジスタ128、132に関して、それらのドレイン電極とVCCの接続は省略され、代わりにドレイン電極はそのゲート電極に接続している。非活動状態のブロックでは、Pチャネル型トランジスタ112、114は、VCC/2のみを入力し、同様にNチャネル型トランジスタ118、120は同じ電圧を入力する。従って、この状態では、ラッチは非活動状態で、電力消費はない。

【0060】センスアンプ100Bは、活動状態であるが書き込みは行われていない。活動状態なので、LATCHP信号はVCCであり、LATCHN信号は0Vである。しかし、書き込み動作は行われないので、DW、DWBはロウレベル（0V）であり、ローカルデータ書

き込み駆動素子を構成するトランジスタ128～134は、そのゲート電極は全て0Vに接続している。この構成では、センスアンプのラッチは前のデータ状態を保持し、書き込みは行われない。

【0061】活動状態のセンスアンプ100Cでは、図示されているように、LATCHP信号はVCCであり、LATCHN信号は0Vである。しかし、書き込みは行われているので、ここではデータ書き込み信号DWは0Vであり、その相補信号DWBはVCCとして示されている。トランジスタ130はオンし、従って、LATCHN信号からの0Vレベルを、バストラジスタ122を介してノード104に接続している。トランジスタ132のゲート電極とドレイン電極にはVCCの入力があり、オンして、0でない電圧レベルをバストラジスタ124を介してノード102に接続する。トランジスタ130を介してノード104が0Vに引き下げられ、ノード102は0Vではないので、センスアンプはビット線（図では省略）をデータ状態の1つに保持し駆動する。他の1つのデータ状態は、データ書き込み信号DWをVCCとし、その相補信号DWBを0Vとして書き込みが行われる。

【0062】図4は、対向するビット線に接続されたセンスアンプ100を持つ実施例が示されており、このセンスアンプは2つのビット線対の何れも受け持っている。図4を参照すると、電気的には信号線158に通じているラッチノードL（LATCH、図1も参照）と、信号線160に接続したその相補的なノードLATCHBが示されている。各々の信号線には、参照番号が与えられている。実際、図4の中程には図1の全てが示されており、図4には、この好ましい実施例の回路が、符号BITL、BITBL（これは左側のビット線およびその相補的なビット線であることを示す）の付された第1のビット線対220、222にどのように共有されているかが示されている。更に、図4の下方部分には、符号BITR、BITBR（これは右側のビット線およびその相補的なビット線であることを示す）の付された第2のビット線対224、226が示されている。

【0063】スイッチングトランジスタのゲート電極に印加された分離信号は、所定の時点で、これら2組のビット線対220、222およびビット線対224、226のいずれがセンスアンプと共に動作するかを決定する。従って、左分離信号ISOLは、ノード230、すなわちNチャネル型電界効果トランジスタ232、234のゲート電極に加えられる。ノード230での信号レベルがハイレベルとなった時、トランジスタ232、234はオンし、センスアンプ100のノードにビット線対220、222を接続する。同様に、右分離信号ISORは、ノード236、すなわちNチャネル型電界効果トランジスタ238、240のゲート電極に加えられるノード236での信号レベルがハイレベルとなった時、

トランジスタ 238、240 はセンスアンプ 100 のノードにビット線対 224、226 を接続する。これら選択的な接続は、左分離信号 ISOL や右分離信号 ISOR の状態に応じて、選択的に信号線 220 や信号線 224 へ信号線 158 を接続し、選択的に信号線 222 や信号線 226 を信号線 160 へ接続するこれらの分離トランジスタのソース・ドレイン径路を介して行われる。

【0064】なお、Nチャネル型トランジスタの代わりに Pチャネル型トランジスタを用いることもできる。更に、トランジスタ 232、234 を Pチャネル型トランジスタとし、トランジスタ 238、240 を Nチャネル型トランジスタとし、共に同じ分離信号を入力するようにすることも可能である。明らかに、図 4 の変形例として、一方の対のトランジスタを Pチャネル型とし、他方のトランジスタを Nチャネル型とすることもできる。一方の対のトランジスタを Pチャネル型とし、他方のトランジスタを Nチャネル型とした場合、単一の信号を両方に与えて、トランジスタの一方の対をオンし、他方をオフし、トランジスタの構成とこの信号レベルに応じて左あるいは右のいずれでも、その一方に選択的にセンスアンプ 100 を接続することができる。これら信号とトランジスタの詳細は、各々の応用に応じて適宜変わる。

【0065】更に、図 4 に示した回路では、ノード 244 (図の下方) とノード 246 (図の上方) に印加された基準信号 BLREF が示されている。ノード 248 での SHL 信号とノード 250 での SHR 信号は、ビット線のプリチャージに用いられている。図 4 の上部には、トランジスタ 252、254、256 のゲート電極へ印加された SHL 信号が示されている。トランジスタ 256 は、一般に平衡トランジスタであり、オン状態では常に 2 つのビット線 220、222 をショートさせる。トランジスタ 252、254 は、そのソース・ドレイン径路がノード 246 でのビット線基準信号 BLREF とビット線 220、222 との間に各々接続され、オン状態では、ビット線基準信号をビット線 220、222 それ自体へ接続する。同様に、図 4 の下方部分には、SHR 信号に応答して、同じ様に動作するトランジスタ 260、262、264 が示されている。ここでも、これらトランジスタ 252 ~ 264 は Nチャネル型トランジスタであるが、他のタイプのスイッチング素子も適宜実施例で用いることが可能である。ビット線基準信号 BLREF は、好ましい実施例では、例えば VCC/2 とほぼ等しくされる。従って、このセンスアンプ回路 100 は、左右のビット線対で代表される各々のアレイの列または 2 つのメモリエセルアレイによって、共有されることが分かる。

【0066】図 4 を参照して、検出、読み出し、書き込み動作を再度説明する。まず、プリチャージの間、LN B 信号は接地レベルであり、LPB 信号は VCC レベルである。活動状態のアレイまたは列の検出のため、LN

B 信号は接地レベルからほぼ VCC レベルへ上昇し、トランジスタ 142 をオンする。これで、ノード 143 は、接地レベルへ引き下げられる。ほぼ同時に、または若干遅れて、LPB が引き下がられて、トランジスタ 140 をオンし、ノード 141 をハイレベルへ引き上げ、ラッチを行う。これで、読み出しのために、ビット線の一方を VCC レベルに引き上げ、他方を接地レベルへ引き下げる。

【0067】選択された列に関して、列読み出し信号 YR はハイレベルへ遷移し、データ読み出し信号線 DR および DRB に接続されたトランジスタ 150、154 をオンする (好ましくは、データ読み出し信号線 DR および DRB は、ここでは図示されていない副アンプ回路に接続される)。ラッチノードの 1 つは、ハイレベルへ遷移し、他のラッチノードはロウレベルへ遷移する。これらのラッチノードは、トランジスタ 152、156 に接続されている。ノード 230 の分離/選択信号 ISOL は、最初の検出時には、VCC レベルにあり、ビット線信号 BL、BLBAR は、検出の直前にラッチノード L およびその反転ノード LB に転送される。実際には、センスアンプまたはラッチは、直接ビット線ではなく、ラッチノードを増幅する。

【0068】トランジスタ 150 ~ 156 は、ローカル読み出しアンプを構成している。列読み出し信号 YR はハイレベルへ遷移し、そして例えば、その時点でラッチノードがハイレベルにあるかまたは遷移する。ラッチ信号の反転信号は、ロウレベルにあるかロウレベルに遷移する。トランジスタ 152、156 は異なるゲート電位を持っているので、トランジスタ 152、156 には異なる電流が流れる。この電流の差はデータ読み出し信号線 DR、DRB に転送される。この電流の差は、ここでは示されていない副アンプによって増幅される。これが読み出しの原理である。このローカル読み出しアンプの利点は、これが非破壊的な読み出しであることである。

【0069】データ読み出し信号線 DR および DRB は、効果的にラッチ信号線 L、LB から分離しており、読み出しの間ラッチ信号線 L、LB の信号を破壊することはない。従って、YR 信号のタイミングは、従来の DRAM のように厳しくはない。

【0070】分離/選択信号 ISOL、ISOR は、検出の直前プリチャージの間には共に VCC レベルにあり、ISOL、ISOR のいずれかが接地レベルに遷移し、左右アレイのいずれかが読み出しまたは検出は行われず、これを分離する。他の (データの検出が行われるアレイに対応する) 分離/選択信号は、最初の検出の間、VCC レベルに留まる。検出が開始される少し後に、VCC レベルより上のレベルへ遷移し、この回路は、ビット線およびその反転信号の信号線をラッチし、トランジスタ 232、234 のいずれの影響によるきい値変動もなく、VCC レベルを書き込む。そして、次

のプリチャージサイクルでは、VCCを超える電圧からの分離信号ISOが、VCCレベルに落ち、他のサイドの他の分離信号ISOは、プリチャージのため接地レベルからVCCレベルへ遷移する。

【0071】書き込みを行う場合には、ローカル書き込みトランジスタ128、130、132、134が用いられる。このときYW信号がハイレベルに遷移する。これはグローバル信号（好ましい実施例では、これは信号線YWが1つのサブアレイのいくつかのセンスアンプに接続していることを意味する）であり、たくさんのセンスアンプの1つまたは2つにデータ書き込みが要求されることもあるので、デコードに関して、YW信号だけではなく、これ以上の制御がなされる。もしも、YW信号がハイレベルで書き込みが必要なければ、データ書き込み信号DW、DWBの両方が接地レベルに保持される。YW信号でゲート電極が制御されるトランジスタ122、124を通して電流は流れない。従って、ラッチ信号に対する破壊はなく、ノードDW LOCAL、DWB LOCALは、ラッチ信号線L、LBの値に無関係にフローティングである。

【0072】図の位置のセンスアンプに書き込みを行うには、ノードDWをVCCレベルにし、DWBを接地レベルにすれば良い（またはその逆）。ノードDWをVCCレベルにした場合には、左側のトランジスタ128はオンし、ノードDW LOCALをVCC-1Vまで引き上げる。反対側では、ハイレベルに上昇するノードDWによって、トランジスタ134がオンし、ノードDWBを接地レベルまで引き下げる。ノードDW LOCAL（DWB LOCAL）での電位差は、YWがハイレベルなので、実際にラッチを駆動し、従ってビット線（一方をVCCに他方を接地レベルに）駆動する。

【0073】この記載から明らかなように、記号“B”または“BAR”は、論理相補関係を示し、与えられた信号の論理反転信号を意味する。言い換えれば、もし与えられた信号がVCC（ここでは5V）とすると、その（記号“B”または“BAR”の付された）反転信号は、0Vとなる。これの逆も、同様である。また、記号“L”がラッチ信号を表わし、記号“P”と組み合わせで用いられた場合には、Pチャネル型トランジスタをオンしてラッチを行うことを示し、記号“LN”は、ラッチのNチャネル型トランジスタをオンすることを示す。しかし、これはLP信号とLN信号が与えられた場合に成り立つ。これらの信号が与えられなければ、Pチャネル型とNチャネル型トランジスタはオンしない。

【0074】本発明では、その態様において、一対のローカルセンスアンプ駆動トランジスタ140、142を持つものとして記載されている。好ましくは、各々が、各々の電流搬送線と共に駆動し、電流搬送線の一方は比較的幅が広く大きな電流を流し、他方は各々のトランジスタ140、142のゲート電極または制御電極に接続

しており、比較的狭い幅を持っている。これらは図2に示されている。

【0075】本発明の別の態様によれば、データ書き込み制御信号DWとその反転信号DWBと共にローカルデータ書き込み駆動トランジスタ128～134を用いている。これらは図1や図4では、Nチャネル型として記載されているが、Pチャネル型トランジスタやその他のスイッチング装置を用いても良い。これらのトランジスタは、分離を行い、図3と共に説明したように、書き込み動作が行われていない場合、センスアンプの待機状態のあるいは通常の電流を小さくする。このような回路は、グローバル列書き込み信号YWおよびそのトランジスタ122、124と共に動作する。

【0076】本発明の更に別の態様によれば、図1や図4で示したように、トランジスタ150～156からなるローカル列読み出しアンプが設けられている。これらトランジスタ150～156は、データ読み出し制御信号DRとその反転信号DRBおよび列読み出し信号YRと共に駆動する。これらは、Nチャネル型として記載されているが、Pチャネル型トランジスタを含む他のトランジスタやその他のスイッチング装置で置き換えても良い。この読み出しアンプは、非破壊読み出し動作を行い、センスアンプの状態を変えことなくラッチの前でも、列読み出し信号は常時ハイレベルへ遷移できる。これら読み出しアンプトランジスタのサイズは、センスアンプのトランジスタとは独立に決めることができる。

【0077】ローカルセンスアンプ駆動トランジスタの利点は、各々のセンスアンプを他のセンスアンプから分離できることと、LNB、LPB信号で制御されるラッチがより正確になることである。従って、前述のチン等の提案で生じたパターン依存性は、各々のセンスアンプに一対のトランジスタを設け、2つの電圧供給線の各々に1つのトランジスタを用いることによって克服された。

【0078】ローカルセンスアンプ駆動トランジスタの利点を明らかにするために、従来のセンスアンプの検出遅れを図5に、本発明によって改良されたセンスアンプの検出遅れを図6に各々示す。すなわち、図5で示したように、従来のセンスアンプでは、電圧源近くでの“1”の検出から相当時間（例えば7ナノ秒程度）経てから電圧源遠くでの“0”の検出が行われる。これに対して、図6に示すように、本発明によって改良されたセンスアンプによれば、電圧源近くでの“1”の検出の直後に電圧源遠くでの“0”の検出が行われるので、極めて高速のメモリが実現される。

【0079】ここに記載した好適な実施例では、ブロックイネイブル信号の必要性はないが、他の実施例では、適宜ブロックイネイブル信号を利用することもできる。

【0080】ここではトランジスタ180、188に印加される信号は、特に説明していない。しかし、これら

の信号、これらの信号を発生させる回路、そしてそれらを利用する方法については、本発明と同じ発明者による特許出願「センスアンプ駆動トランジスタの制御方法および制御回路」（出願日；平成 5 年 1 1 月 1 日）（対応する米国特許出願の番号 0 7 / 9 6 9 , 4 1 8（出願日；1 9 9 2 年 1 0 月 3 0 日）に記載されている。

【0 0 8 1】ここでは具体的な実施例を参照しながら本発明を説明したが、これに限定されることはなく、本発明の趣旨の範囲内でいかなる変更も可能であることは言うまでもない。当業者にとっては、ここでの記載を参考にして、多くの変形例や他の実施例は自明のことである。本発明の趣旨は添付の請求の範囲の記載によって決定すべきである。

【0 0 8 2】

【発明の効果】以上説明したように請求項 1 記載の集積回路メモリ用センスアンプによれば、センスアンプのラッチ回路を、電圧供給線に直接接続することなく、第 1 および第 2 のローカルセンスアンプ駆動トランジスタを介してラッチ回路に第 1 および第 2 の電圧信号を選択的に与えるようにしたので、電圧供給線における遅延による制御のずれとそのパターン依存性を低減することができるという効果がある。

【0 0 8 3】また、請求項 2 記載の集積回路メモリ用センスアンプによれば、ラッチ回路の内部ノードをデータ線に直接接続することなく、読み出し制御信号に応じてデータを出力する列読み出しアンプを設けたので、読み出しの間、データを破壊することがなく、データの読み出し動作の安定性を向上することができるという効果がある。

【0 0 8 4】また、請求項 3 記載の集積回路メモリ用センスアンプによれば、ラッチ回路の内部ノードをバストランジスタを介してローカルデータ書き込み駆動回路に接続したので、非書き込み時にデータを破壊することがなく、データの書き込み動作の安定性を向上することができるという効果がある。

【0 0 8 5】また、請求項 4 記載の集積回路メモリによれば、第 1 および第 2 のローカルセンスアンプ駆動トランジスタを介して第 1 および第 2 の電圧源をラッチ回路に選択的に接続すると共に、ラッチ回路の内部ノードに接続された列読み出しアンプによってデータの読み出しを行い、ラッチ回路の内部ノードに接続されたローカルデータ書き込み駆動回路によってデータの書き込みを行うようにしたので、電圧供給線における遅延による制御

のずれとそのパターン依存性を低減することができると共に、データの読み出し、書き込み動作の安定性を向上することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の好適な実施例によるセンスアンプを示す回路図である。

【図 2】本発明の他の態様によって、センスアンプがグループに集められた本発明のセンスアンプの構成を簡単に示す回路図である。

10 【図 3】本発明のセンスアンプがいくつかの動作モードでどのように動作するかを説明するための回路図である。

【図 4】好適な実施例のセンスアンプがどのように選択的に 2 つのビット線対に接続されるかを説明するための回路図である。

【図 5】従来のセンスアンプの検出遅延を示す特性図である。

【図 6】本発明によって改良されたセンスアンプの検出遅延を示す特性図である。

20 【図 7】典型的な CMOS センスアンプのグループを示す回路図である。

【図 8】従来の変形例に従って接続された同じセンスアンプのグループを示す回路図である。

【図 9】グローバル列選択とブロックイネイブル機構のためのバストランジスタを備えた従来技術のセンスアンプを示す回路図である。

30 【図 1 0】グローバル列選択とブロックイネイブル機構を持つ従来の 3 つのセンスアンプを示し、センスアンプのそのときの状態に応じて適宜印加される電圧を示す回路図である。

【符号の説明】

1 0 0 センスアンプ

1 0 2、1 0 4 ノード

1 1 2、1 1 4 Pチャネル型トランジスタ

1 1 8、1 2 0 Nチャネル型トランジスタ

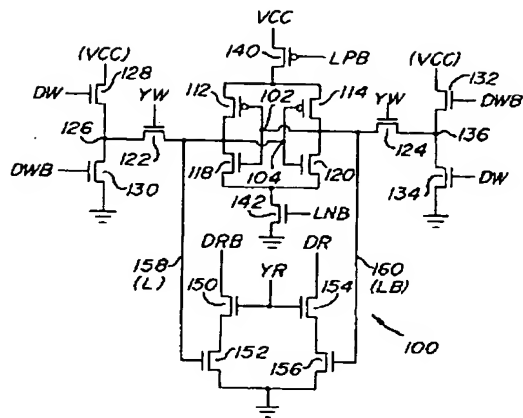
1 2 2、1 2 4 バストランジスタ

1 2 8、1 3 0、1 3 2、1 3 4 ローカルデータ書き込み駆動トランジスタ

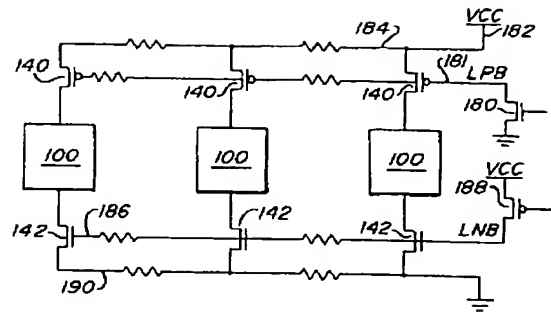
40 1 4 0、1 4 2 ローカルセンスアンプ駆動トランジスタ

1 5 0、1 5 2、1 5 4、1 5 6 Nチャネル型トランジスタ

【図1】

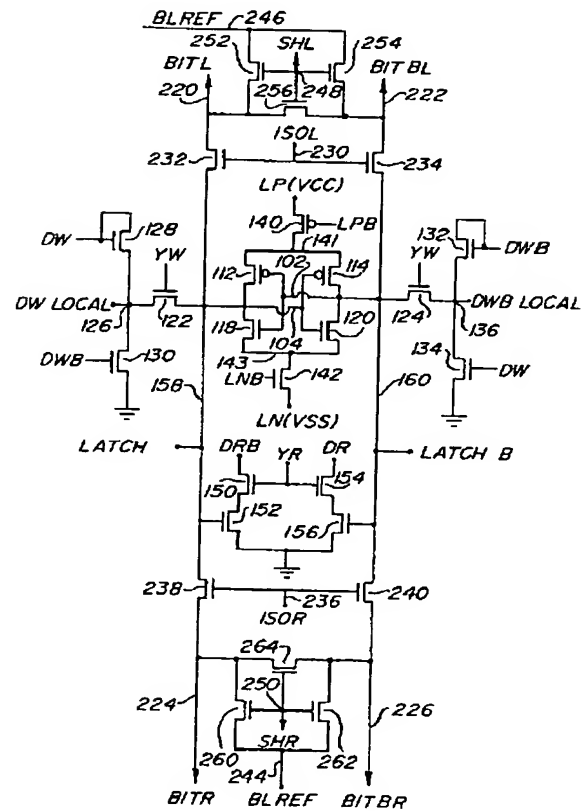
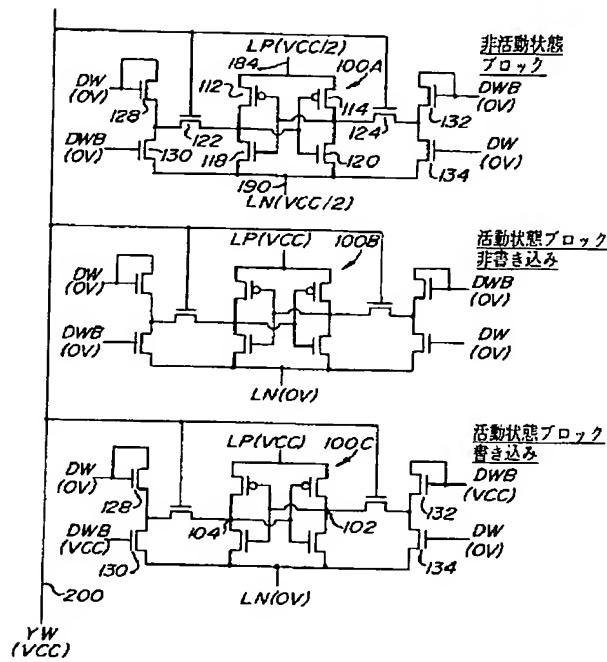


【図2】

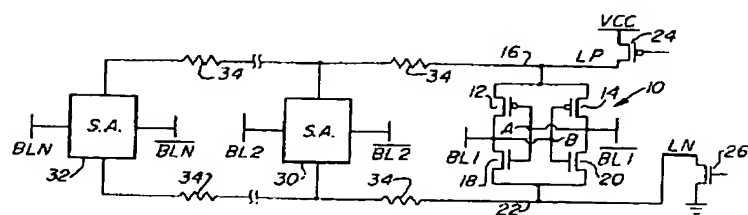


【図4】

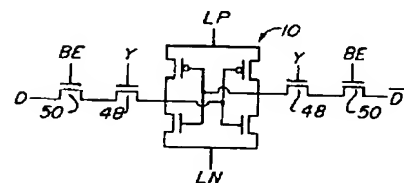
【図3】



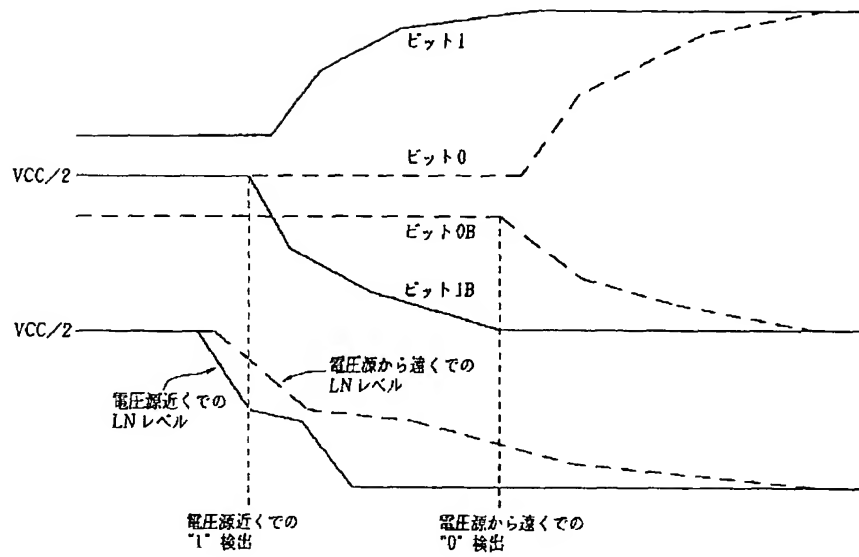
【図7】



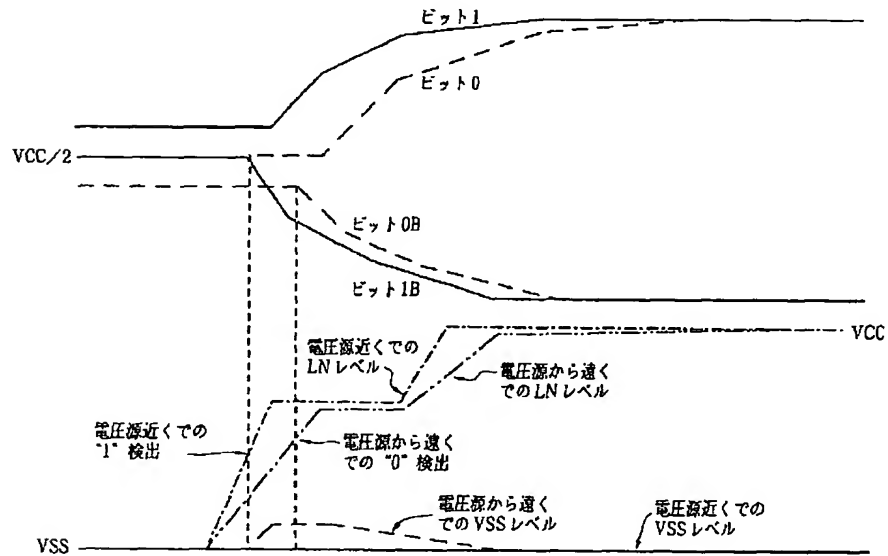
【図9】



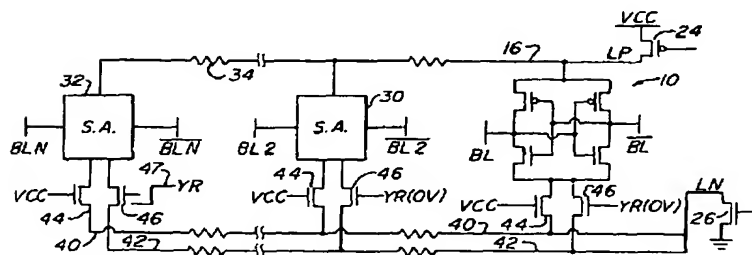
【図 5】



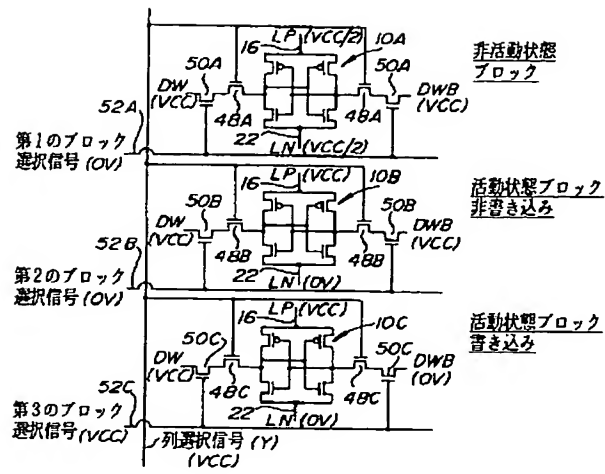
【図 6】



【図 8】



【図 10】



フロントページの続き

(72)発明者 キム シー・ハーディ
 アメリカ合衆国 コロラド州 80920 コ
 ロラドスプリングス、キット カールソン
 レイン、 9760